



나인플러스아이티(주)

Cadence Full-Custom IC Designer 실무 교육과정 계획서

나인플러스아이티(주)
부설교육센터
‘오픈하드웨어’



Cadence Full-Custom IC Designer 실무 수료과정

Cadence의 한국채널파트너(Cadence Channel Partner/CCP)인 나인플러스아이티(주)의 부설기술교육 CENTER에서는 반도체설계 인력양성과 Fabless의 설계 연구원들을 위한 실무능력향상을 위하여 Cadence의 Virtuoso Schematic, Layout, Spectre와 PVS(LVS & DRC)를 사용하여 Full-Custom IC 설계의 전 과정을 습득할 수 있는 실무수료과정입니다.

- ① Custom IC 설계의 전 과정을 Cadence 반도체설계 Software로 실습
- ② 중소기업 재직자 및 대학원생의 실무능력 향상 교육과정
- ③ 특전: 자기소개서, 취업포트폴리오, 기업분석 시간외 컨설팅
- ④ Term Project 실습을 통한 전공 자신감 및 핵심 능력 향상

1. 교육 대상 및 기간, 장소

가. 교육 대상: 반도체설계회사 재직자 및 전자.전기, 컴퓨터 관련학과 대학교 재학생, 대학원 및 졸업자(취업준비생)

나. 교육 기간: 2020년2월3~2월14일(2주간:1일 6시간(60시간))

교육시간: 10:00 ~ 17:00

다. 교육 장소: 서울시 금천구 디지털로 121 에이스가산타워203/204호

2. 교육인원 및 교육수강료

가. 교육인원: 20명~30명 이내

나. 교육수강료: 학생 50만원(취업준비생포함)/산업체 90만원

3. 교육생 모집

가.교육생모집: 나인플러스아이티(주) 홈페이지 안내 및 수강신청

www.openhardware.co.kr

나.교육 신청마감일자:2020. 01. 31일 14:00 선착순 마감

다.교육수강 확정자 통보 및 교육비 납입

-1순위:Cadence University Program 구매 대학 우선 선발(1명50%DC)

-2순위: 재직자 우선 선발

-3순위: 대학교 재학생, 대학원생, 반도체관련 기업 취업준비생

4. 교육평가 및 수료

가.교육평가

교육성적은 출석 및 각 과정별 프로젝트 발표, 평가 기준

나. 수료증 수여

출석 90% 이상을 확보하여야 수료로 인정하며, 수료증명서를 수여함.

5. 교육 수강 신청 문의

가. 수강 신청 및 취소방법

- 1)수강신청기간:2019.11.11.~2020.01.31.까지
- 2)수강신청방법:www.openhardware.co.kr 교육과정 신청
- 3)강의 시작 전 취소 가능함(강의 진행 후 교육청 규정에 준함)

나. 문의 02-3016-7926/02-6123-3359

6. 교육개요 및 세부일정

□ 교육 목표

- ① Cadence Tool을 이용하여 CMOS 집적회로를 설계한다.
- ② 우수 전문 인력 양성을 통한 반도체설계 기업의 실무인력양성
- ③ CMOS Device/Manufacturing technology/CMOS Inverter설계와 Layout 설계 전문가 양성
- ④ 산업체 실무능력을 기반으로 한 대학 실무인증 교육방법과 현장적응 능력 향상을 도모함

□ 교육기간 주요 사용 소프트웨어

- ① 실무 실습교육 주요 소프트웨어
 - Cadence Virtuoso Schematic Editor/Layout Editor
 - Cadence Virtuoso Spectre/ADE
 - PVS(LVS & DRC)
 - G-PDK
- ② 실습 응용과제 TERM Project

TOOL 실습교육에서 학습한 내용을 응용 예제과제 수행을 통해 구현 함으로써 실무 능력 배양
- ③ 개인 Project 수행 및 세미나 발표

Term Project 진행 및 결과발표/우수설계자상 시상함

□ 과정 수강자 특강 및 상담(시간외 컨설팅)

- ① 공학 엔지니어가 작성하는 자기소개서 작성법
- ② 포트폴리오 구성과 기술 능력 표현법
- ③ 기업분석과 취업 능력 향상 방법

□ 교육내용

일정	내 용	시 간	비 고
1일차	- 반도체회로설계입문 - MOSFET transistor 이론/CMOS 논리 회로 - Stick diagram의 이해와 회로설계 - GPDK 180 Design Rule의 이해와 적용		이론
2일차	- Cadence에서 자주 사용하는 UNIX Command 교육 - 1 - Unix 기본 명령어 실습 - 파일 사용권한 관리 및 검색 명령 실습 - 프로세스 관리 및 파일 백업 압축 명령 실습 - 과정정리 및 실습 Q&A - Cadence에서 자주 사용하는 VI Editor 교육을 - 2 - VI Editor 기초 실습 - VI에서 커서, 화면, 행 이동에 관한 명령 실습 - VI에서 편집에 관한 명령 실습 - 과정정리 및 실습 Q&A		UNIX
			UNIX
3일차	- Cadence Schematic, Spectre Editor 실습 I - Full Custom IC Design을 위한 Cadence Schematic Editor 환경설정 및 사용방법 실습 - Cadence Spectre Simulator 환경설정 및 사용방법 (GPDK180을 적용한 CMOS Inverter 설계) - 새로운 프로젝트 생성 및 계층도면의 이해 - Inverter 회로 설계 작성, Simulation option의 설정, Transient 해석/ Bias Point 해석, DC 해석/ AC 해석, 전압원 및 전류원 사용법, Probe window 사용법		Schematic & Circuit Simulation
4일차	- Cadence Schematic, Spectre Editor 실습 2 - 디지털 논리게이트 라이브러리 구성 2NAND, 3NAND, 2NOR, 3NOR Simulation 실습 - nMOS와 pMOS의 설계 조건에 대한 이해 - Cadence Schematic, Spectre Editor 실습 3 - 디지털 논리게이트 라이브러리 구성 - Simulation 실습 2X1 MUX, 4X1 MUX의 설계 조건에 대한 이해		Digital Circuit Simulation
5일차	- Virtuoso Layout Editor 설정 및 실습 1 - CMOS Inverter Layout & Assura DRC / LVS 검증 - Virtuoso Layout Editor 설정 및 실습 2 - 디지털 논리게이트 라이브러리 Layout 2NAND, 3NAND, 2NOR, 3NOR Layout 실습 - Assura DRC / LVS 검증		Layout Editor

일정	내 용	시 간	비 고
6일차	- Virtuoso Layout Editor 설정 및 실습 3 - 디지털 논리게이트 라이브러리 Layout 2NAND, 3NAND, 2NOR, 3NOR Layout 실습 - Assura DRC / LVS 검증/Virtuoso Layout Editor 설정 및 실습 3 - 디지털 논리게이트 라이브러리 Layout 2X1 MUX, 4X1 MUX layout/ Assura DRC / LVS 검증		Layout Editor
7일차	- Cadence Schematic, Spectre, Layout Editor 실습 1 - Common Source Amplifier의 이해 (large signal, small signal, frequency response) - Circuit Simulation, Layout/AC simulation - 수동소자(R, L, C) layout & PVS: DRC / LVS 검증		Layout 실습
8일차	- Cadence Schematic, Spectre, Layout Editor 실습 2 - Differential Amplifier의 이해 (large signal, small signal, CMRR, frequency response) - Circuit Simulation, Layout/AC simulation - 수동소자(R, L, C) layout/ Assura DRC / LVS 검증		Layout 실습
9일차	- Term project 1 - CMOS Transistor level의 Digital circuits (Pad 설계 및 Output Pin 배치)/Cadence Schematic Editor - Spectre /Virtuoso Layout Editor /Assura DRC / LVS		Term Project
10일차	- Term project 2~3 - CMOS Transistor level의 Digital circuits (Pad 설계 및 Output Pin 배치) - Cadence Schematic Editor/Spectre/Virtuoso Layout Editor - Assura DRC / LVS		

• 교육내용과 일정은 일부 변경될 수 있습니다.

